



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RECEIVED

2871
#3
BT
4-11-02

In Re the Application of : Yumiko TSUBO

10/008,973 MAR 20 2002
TECHNOLOGY CENTER 2600

Filed: : November 8, 2001

For: : TFT-LCD DEVICE HAVING A REDUCED...

Serial No. : 10/008,973

Assistant Commissioner for Patents
Washington, D.C. 20231

March 11, 2002

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from JAPANESE patent application no. 2000-342844 filed November 10, 2000, certified copy of which is enclosed.

Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-1290.

ANY FEE DUE WITH THIS PAPER, NOT FULLY
COVERED BY AN ENCLOSED CHECK, MAY BE
CHARGED ON DEPOSIT ACCOUNT NO. 501290

Respectfully submitted,

Michael I. Markowitz
Reg. No. 30,659

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: 100933-00050 (NECN 19.154)
TELEPHONE: (212) 940-8800

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS CERTIFIED MAIL IN AN
ENVELOPE ADDRESSED TO: COMMISSIONER OF
PATENTS AND TRADEMARKS, WASHINGTON, D.C.
20231, ON THE DATE INDICATED BELOW.

BY
DATE March 11, 2002



日 本 国 特 許 庁
JAPAN PATENT OFFICE

RECEIVED
MAR 20 2002

TECHNOLOGY CENTER 2000

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月10日

出 願 番 号

Application Number:

特願2000-342844

出 願 人

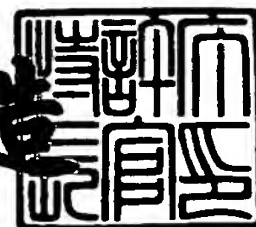
Applicant(s):

日本電気株式会社

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3074377

【書類名】 特許願

【整理番号】 74610530

【提出日】 平成12年11月10日

【あて先】 特許庁 長官殿

【国際特許分類】 G02F 1/136

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 坪 祐巳子

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100105511

 【弁理士】

 【氏名又は名称】 鈴木 康夫

【選任した代理人】

 【識別番号】 100109771

 【弁理士】

 【氏名又は名称】 臼田 保伸

【手数料の表示】

 【予納台帳番号】 055457

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9711687

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 T F T 液晶表示装置

【特許請求の範囲】

【請求項 1】

複数の走査線とこれらと交差するようにして形成された複数の信号線と、
前記走査線に接続されたゲート電極と、前記信号線に接続されたドレイン電極と、
ソース電極と、半導体層と、前記ゲート電極と前記半導体層との間に形成されたゲート絶縁膜とを有する薄膜トランジスタと、
前記ソース電極に接続された画素電極とを有する液晶表示装置において、
前記画素電極の周縁の全周に沿って形成され、
前記画素電極と電氣的に接続され、
信号線／画素電極間寄生容量、走査線／画素電極間寄生容量、ゲート／ソース間寄生容量、液晶容量、補助容量
を構成する導体を有することを特徴とする液晶表示装置。

【請求項 2】

前記導体は金属からなることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記画素電極は、前記導体の一箇所又は複数の箇所で電氣的に接続されていることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記走査線の一部は、前記導体の一部と絶縁膜を介して重なっていることを特徴とする請求項 1、2 又は 3 記載の液晶表示装置。

【請求項 5】

前記絶縁膜は、ゲート絶縁膜であることを特徴とする請求項 4 記載の液晶表示装置。

【請求項 6】

前記走査線は、前記導体側に拡大された部分を有することを特徴とする請求項 4 記載の液晶表示装置。

【請求項 7】

前記画素電極との間に絶縁膜を介して容量電極が形成されていることを特徴とする請求項 1、2 又は 3 記載の液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、T F T 液晶表示装置に関し、特に、画素電極と信号線及び走査線との間の寄生容量（浮遊容量）のばらつきの影響を解消させることができる T F T 液晶表示装置に関する。

【0 0 0 2】

【従来技術】

近年、薄型かつ低消費電力の表示装置として液晶表示装置が注目されている。特に、マトリクス状に配置された画素電極に対する駆動電圧をスイッチング用の薄膜トランジスタ（Thin Film Transistor：「T F T」という。）を介して印加する構成のアクティブマトリクス基板を使用するアクティブマトリクス型液晶表示装置（T F T - L C D）は、駆動電圧に階調電圧を印加することにより多階調表示が可能であるとともに、表示画素間のクロストークが少なく、精細度の高い表示を実現することが可能であることから、各種の O A 機器、映像機器等に使用されている。

【0 0 0 3】

従来一般的な T F T 液晶表示装置について、図面を参照して以下説明する。

【0 0 0 4】

図 1 3 は、アクティブマトリクス基板を使用するアクティブマトリクス液晶表示装置（T F T - L C D）の画素分の電極配置の構成を示す図である。

【0 0 0 5】

アクティブマトリクス基板においては、ガラス基板上に能動素子としてドレイン電極 D、ソース電極 S 及びゲート電極 G からなる T F T が形成され、前記 T F T の前記ゲート電極 G が形成されるゲート層において行方向の一部拡大部 C を備える走査線 g、及び隣接する表示画素間の遮光用の遮光部 L が形成され、ドレイン、ソース電極 D、S が形成されるドレイン層（ソース層）において列方向の信

号線 d が形成され、前記信号線 d と走査線 g との間のゲート層及びドレイン層と異なる層に形成された画素電極 P I が形成されて構成されている。また、前記アクティブマトリクス基板の電極等の形成面の上側には、全面に単一電極（対向電極）を形成したガラス基板（図示せず）を対向配置し、前記画素電極 P I とガラス基板間に液晶層を挟持する構成でなる。

【 0 0 0 6 】

以上の電極等の配置において、前記画素電極 P I は前記対向電極との間で液晶層を介する容量（液晶容量）を形成するとともに、前記走査線の拡大部との間に当該容量を補助する補助容量（蓄積容量、ストレージ容量）が形成される。

【 0 0 0 7 】

図 1 4 は、従来のアクティブマトリクス型液晶表示装置における他のアクティブマトリクス基板の画素分の電極配置の構成を示す図である。この従来例では、走査線 g に前記蓄積容量を形成する拡大部を形成する代わりに、独立した共通線 c を配置して蓄積容量を形成する拡大部（コモンストレージ）C s t を設けた電極配置を有する構成とすることを特徴とし、他の構成は図 1 3 に示す電極配置と同様である。

【 0 0 0 8 】

アクティブマトリクス基板の表示制御は、前記画素電極 P I と前記対向電極（及び共通電極）の間に階調電圧を印加し前記液晶容量及び蓄積容量への電荷を蓄積し、画素電極の電位 V_{pi} と対向電極の電位との間の電位差を与えることにより、前記電極間の液晶層の電気化学的特性を制御し、画素電極単位での液晶の透過度を制御することにより行う。

【 0 0 0 9 】

ここで、複数の電極及び配線が絶縁状態で隣接する前述のようなアクティブマトリクス基板の構造から分かるように、前記液晶容量及び蓄積容量の他に電極及び配線間には複数の寄生容量が生じるので、この寄生容量が画素単位でバラツキや変動が生じると表示ムラの発生等、表示特性に影響する。

【 0 0 1 0 】

図 1 5 は、従来の前記ゲート層、ドレイン層及び画素電極層の相互配置関係を

示す走査線方向の断面であり、各層間の寄生容量の発生及び変化の様子を示す概念図である。

【 0 0 1 1 】

寄生容量は、T F T のドレインに接続される信号線 d と画素電極 P I 間、ゲート電極 G と接続される走査線 g と画素電極 P I 間等に発生する。特に、画素間の遮光を行うために設けられる遮光パターンをゲート層で作製するように構成したアクティブマトリクス基板では前記寄生容量は複数のレイヤの信号線、電極等の導体部に発生する寄生容量の組合せになる。

【 0 0 1 2 】

同図には、右側の信号線 d と画素電極 P I との間の前記組合せ容量 $C_{dpi}(L)$ と左側の信号線 d と画素電極 P I との間の前記組合せ容量 $C_{dpi}(R)$ の容量が各層の導体の重ねずれ、つまり、各層形成時の相対的なずれの影響を示している。

【 0 0 1 3 】

従来、寄生容量の影響による容量変動を抑制するように構成した T F T 液晶表示装置が特開 2 0 0 0 - 9 8 4 2 7 号公報及び特開平 6 - 2 2 2 3 9 2 号公報に提案されている。

【 0 0 1 4 】

以下、前記両公報記載の液晶表示装置の構成及び動作について説明する。

液晶表示装置においては、液晶容量に印加される電界の方向を同一極性とし長時間同一表示を行うような画素電極の駆動を行うと、いわゆる「焼けつき」を生じ表示品位が悪化するので、画素電極の極性を表示更新周期ごとに反転駆動することが行われている。この駆動方法には、信号線長手方向の画素電極を同じ極性とし、表示更新周期ごとにそれらの極性を反転させるドレインライン反転駆動及び走査線長手方向及び信号線長手方向ともに隣り合う画素電極同士がすべて逆極性となるように表示更新周期ごとに各々の画素電極の極性を反転させるドット反転駆動等がある。

【 0 0 1 5 】

ここで、信号線の電位変動は信号線の極性が反転する時に最も大きくなるから

、その際に、画素電位が最も大きく影響を受けて輝度変動するが、前記反転駆動方法を採用することにより隣り合う信号線を常に逆極性とすることができ、極性の反転による影響を相殺し画素の輝度変動を少なくすることができる。

【 0 0 1 6 】

ところが、画素電極とその両側の信号線との間の2つの寄生容量が大きく異なるとこの効果は減少する。特に、T F Tは信号線と走査線との交差部付近に形成されることが多く、この場合、画素電極はT F Tとの干渉を避けるため、信号線の方に一定長さだけ切り欠いて形成されるから、画素電極とT F T側の信号線とが隣接する長さと、画素電極と他の信号線とが隣接する長さとは異なったものとなる。この結果、画素電極とT F T側の信号線との間に形成される寄生容量が、画素電極と他の信号線との間に形成される寄生容量よりも大きくなり、信号線の電位変動に対する前記相殺動作が行われず、画素電位が影響を受けることとなる。

【 0 0 1 7 】

特開 2 0 0 0 - 9 8 4 2 7 号公報には、このような信号線の電位変動による輝度変動を最小限に抑えるために、各ドレインと画素電極間の長さ及び間隔が等しくなるように、ドレイン配線側の突起と、ドレイン配線と同時に露光され形成された、前記突起に対応する形状を有する画素電極の端部を画定する画素周縁部を有する構造のT F T液晶表示装置が記載されている。

【 0 0 1 8 】

また、絶縁膜が金属膜にサンドイッチされた構造の能動素子を有する液晶ディスプレイ駆動用のアクティブマトリクス基板に関し、高精度なマスク合わせを行うことなしに、能動素子間での寄生容量のバラツキをなくすようにしたものが、前記特開平 6 - 2 2 2 3 9 2 号公報に記載されている。

【 0 0 1 9 】

図 1 6 は、同公報記載の液晶ディスプレイ駆動用アクティブマトリクス基板の一例を示す図である。同図に示す液晶ディスプレイ駆動用アクティブマトリクス基板は、能動素子としてM I M素子が使用され、図 1 6 (a) に示すように、正方形の表示電極 1 を縦横に配列し、各列毎に梯子状の走査電極 2 が表示電極 1 を

取り囲む構造を有し、さらに図 1 6 (b) に示すように、走査電極 2 と表示電極 1 との間に、額縁状の棒状電極 3 (破線) が、走査電極 2 に対しては絶縁膜 4 を介してその上方に形成され、表示電極 1 に対しては下方に滑り込むような構造に配置されている。

【 0 0 2 0 】

この構造によれば、MIM素子は表示電極 1 の周囲を取り囲むように形成されているので、それぞれの膜のパターンニング工程において、マスク合わせ誤差によりパターンずれが生じることにより、金属膜／絶縁膜／金属膜というMIM素子の積層構造部分の面積が一部で減少しても、これを補うだけの面積の増加が別な部分で必ず生じるから、1つのMIM素子についての積層構造部分の全面積の変化は生じないことになり、寄生容量のバラツキが生じない。(同公報、段落 0 2 0)

【発明が解決しようとする課題】

図 1 3、図 1 4 に示す従来のアクティブマトリクス基板を用いた液晶表示装置においては、遮光パターンをゲート層で作製することから、図 1 5 に示すように、ゲート層、ドレイン層及び画素電極層の各電極、配線等の間に寄生容量が生じる。このうち容量変動により表示品質に影響を与える寄生容量としては、ゲート／ソース間寄生容量 C_{GS} 、液晶容量 C_{LC} 、ストレージ容量 C_{SC} 、ゲート／画素電極間寄生容量 C_{gpi} 及びドレイン／画素電極間寄生容量 C_{dpi} である。つまり、フィードスルー電圧 V_{fd} に影響する容量は複数のレイヤの組合せである。

【 0 0 2 1 】

液晶表示装置においては、液晶の透過率は画素電極 P_i の電位 V_{pi} と対向電極の電位との間の電位差によって決まるため、表示領域全体で均一な表示状態を得るためには V_{pi} も均一に保つ必要がある。また、画素電極 P_i の V_{pi} はTFTのオン状態の時に信号線の電位が書き込まれることにより決定し、書き込まれた後の V_{pi} は次の書き込み(1フレーム後)まで一定に保たれることが望ましい。

【 0 0 2 2 】

ところが、前述のように画素の周辺にはドレイン線、ゲート線等が存在し、これらとの間に寄生容量が生じ、この寄生容量の存在によりドレイン線、ゲート線の電圧の変動に伴って V_{pi} は変動する。特に、 V_{pi} に大きな変動を与える要因は、画素電極 $P I$ へデータを書き込んだ直後のゲート電圧（走査信号）がローレベルとなり $T F T$ がオフになる際に発生するフィードスルー電圧 V_{fd} である。

【 0 0 2 3 】

このフィードスルー電圧 V_{fd} は、寄生容量が存在する場合は次式で表される。

【 0 0 2 4 】

$$V_{fd} = C_{GS} / (C_{GS} + C_{LC} + C_{SC} + C_{dpi} + C_{gpi}) \times |V_{Gon} - V_{Goff}|$$

V_{Gon} : $T F T$ がオン時のゲート電圧

V_{Goff} : $T F T$ がオフ時のゲート電圧

なお、 $V_{Gon} - V_{Goff}$ の値は、 $T F T$ の特性が画素面内で全て同じであることから、電圧 V_{Gon} と V_{Goff} は常に一定であり、寄生容量自体が表示領域内で一定であれば V_{fd} も一定である。また、 V_{fd} の画素電極 $P I$ に与える影響は、画素電極 $P I$ への書き込み電位が正方向でも負方向でも同一極性に電位をシフトし直流成分が生じるように影響することから、前記の場合は、対向電極の電位を同方向にシフトさせる調整を行うことにより V_{fd} の影響をなくすることも可能である。

【 0 0 2 5 】

以上のように、寄生容量自体が表示領域内でばらつくと V_{fd} の大きさが表示領域内でばらつくことになり、対向電極 $P I$ の電位を調整しても液晶に印加する実効的な電圧はばらつくことになる。このため全体としてみたときに表示状態にムラが生じる等、表示品質が劣化する。

【 0 0 2 6 】

ところが、寄生容量は画素電極 $P I$ とその周辺に存在する導電体（信号線、走査線等）との間に生じるため、これらのサイズが面内でばらつくと、両者の距離

がばらつき、結果として寄生容量の大きさ自体がばらつくことになる。その結果、 V_{fd} の大きさがばらつき、表示品質を劣化させる。

【 0 0 2 7 】

したがって、例えば同図 1 5 に示すように各層の配線等パターンの重ねずれが生じたり、リソグラフィによる導体パターン形成時の画素単位の電極形状、面積及び導体幅のパターン化の誤差の変動（「パターン変換変動」という。）が生じると、フィードスルー電圧 V_{fd} の大きさが表示領域内でばらつき、表示品質に大きな影響を及ぼすことになる。

【 0 0 2 8 】

前記特開 2 0 0 0 - 9 8 4 2 7 号公報記載の液晶ディスプレイ駆動用アクティブマトリクス基板は、画素電極に影響を与える画素電極の両側の信号線間の寄生容量を互いに同一にしようとするものであり、画素電極と信号配線間及び電極間の総合的な寄生容量の影響、特に、電極及び配線等のパターン形成時の前記パターン変換変動については何ら考慮されていない。また、同公報のアクティブマトリクス基板は、左右の信号線と対向する画素電極との間隔及び長さを単に同一とするため配線と画素電極に凹凸形状を形成することから、液晶表示の開口率が劣化するという問題もある。

【 0 0 2 9 】

また、図 1 6 に示す液晶ディスプレイ駆動用アクティブマトリクス基板は、重ねずれの影響を防止するものであるが、縦横に配列した表示電極 1 に対して、各列毎に梯子状の走査電極 2 で前記表示電極 1 を取り囲む必要があり、MIM 素子となる能動素子が走査電極 2、絶縁膜 4、額縁状の枠状電極 3 及び表示電極 1 により開口部全周に形成される特殊な構造を有するものであり、基本的構造及び原理を異にする TFT-LCD の画素電極に対する信号線、走査線、遮光配線、ゲートストレージ等の重ねずれ及びパターン変換変動に関しては何ら考慮されていない。

【 0 0 3 0 】

（目的）

本発明の目的は、製造工程のバラツキによるフィードスルー電圧の変動を抑

制することが可能な T F T 液晶表示装置を提供することにある。

【 0 0 3 1 】

本発明の他の目的は、分割露光により作製した液晶パネルの表示ムラの発生を防ぐことを可能とした T F T 液晶表示装置を提供することにある。

【 0 0 3 2 】

【課題を解決するための手段】

本発明の T F T 液晶表示装置は、複数の走査線とこれらと交差するようにして形成された複数の信号線と、前記走査線に接続されたゲート電極と、前記信号線に接続されたドレイン電極と、ソース電極と、半導体層と、前記ゲート電極と前記半導体層との間に形成されたゲート絶縁膜とを有する薄膜トランジスタと、前記ソース電極に接続された画素電極とを有する液晶表示装置において、前記画素電極の周縁の全周に沿って形成され、前記画素電極と電氣的に接続され、信号線／画素電極間寄生容量、走査線／画素電極間寄生容量、ゲート／ソース間寄生容量、液晶容量、補助容量を構成した導体を有することを特徴とする。また、前記導体は金属からなり、前記画素電極は前記導体の一箇所又は複数の箇所で電氣的に接続されていることを特徴とする。

【 0 0 3 3 】

そして、前記各発明における前記走査線の一部は、前記導体の一部と絶縁膜を介して重なっており、前記絶縁膜はゲート絶縁膜であること又は前記走査線は前記導体側に拡大された部分を有することを特徴とする。

【 0 0 3 4 】

更に、前記各発明において、前記画素電極との間に絶縁膜を介して容量電極が形成されていることを特徴とする。

【 0 0 3 5 】

（作用）

T F T を用いた T F T アクティブマトリクス基板の画素電極の周縁の全周に沿って前記画素電極と同電位のリング状の導体を形成したことにより、ドレイン層の信号線及び電極、ゲート層の走査線及び電極、共通線や拡大部等の重ねずれ及びパターン変換変動による寄生容量の影響を抑制する。

【 0 0 3 6 】

【発明の実施の形態】

次に、本発明の T F T 液晶表示装置の一実施の形態について図面を参照して詳細に説明する。

【 0 0 3 7 】

図 1 は、本実施の形態の T F T 液晶表示装置のアクティブマトリクス基板の一面素分の電極配置の構成を示す図である。

【 0 0 3 8 】

本実施の形態においては、図 1 に示すように、ガラス基板上の T F T の電極及び配線として、最下層のゲート層にゲート電極 G、該ゲート電極と接続された行方向の走査線 g 及び該走査線 g から下部側の画素毎の拡大部 C からなる蓄積容量（ゲートストレージ）G s t、ドレイン層のドレイン、ソース電極 D、S、該ドレイン電極 D と接続された列方向の信号線 d、前記信号線 d と走査線 g との間に設けられた、I T O（酸化インジウムスズ）等の透明導電膜でなる画素電極 P I、ソース電極 S と接続された画素電極 P I の周縁部全辺に沿い、前記画素電極 P I と接続された隣接する表示画素間の遮光用のリング状の導体、具体的には金属の導体パターン（リング状パターン）R とから構成されている。

【 0 0 3 9 】

ここで T F T は、縦置き構成、つまり、ドレイン電極 D とソース電極 S はその電流通路が走査線と平行方向になるように配置され、ゲート電極が走査線 g に対し直角方向に形成された配置構造を有している。また、リング状パターン R の内周部は前記画素電極 P I の外周の下部に一部重複し、画素電極 P I の T F T が形成された角のリング部に開口方向の屈曲部に一部拡大部を形成し、スルーホールを形成して画素電極と接続点 P を形成している。更にゲートストレージ G s t は前記画素電極 P I の上部において画素電極 P I 及びリング状パターン R と重複するように配置している。

【 0 0 4 0 】

図 2（A）は、図 1 の配線構造における A - A' の断面図であり、ゲートストレージ G s t とリング状パターン R と画素電極 P I の配置関係を示している。同

図に示すようにゲートストレージ Gst を構成するための絶縁膜には、主に走査線 g の拡大部とリング状パターン R との間のゲート絶縁膜を使用している。なお、前記拡大部と画素電極との間に直接蓄積容量を形成する場合にもゲート絶縁膜が利用できる。

【 0 0 4 1 】

図 2 (B) は、図 1 の配線構造における $B-B'$ の断面図であり、信号線 g とリング状パターン R と画素電極 PI の配置関係を示している。

【 0 0 4 2 】

図 3 (C) は、図 1 の配線構造における $C-C'$ の断面図であり、ゲートストレージ Gst とリング状パターン R と画素電極 PI の配置関係を示している。

【 0 0 4 3 】

図 3 (D) は、図 1 の配線構造における $D-D'$ の断面図であり、ゲート電極 G と、アモルファスシリコン等の半導体層 PS に対して形成されたドレイン電極 D 、ソース電極 S とからなる TFE 構造及び電極の配置関係を示している。

【 0 0 4 4 】

本実施の形態において、前記アクティブマトリクス基板の上部には全面に単一電極を形成したガラス基板を対向配置し、ガラス基板の下部にはバックライト機構を配置し、前記画素電極と前記単一電極間に駆動電圧を印加して、各画素単位で間の液晶層の電気光学特性を制御して表示を行うように構成される。

【 0 0 4 5 】

このような電極構造は、 $5PR-TFE$ プロセスにおいて、ドレイン層で画素電極の端面全周にリング状パターンを形成し、コンタクトホールにより前記リング状パターンを画素電極と導通させることにより作製する。

【 0 0 4 6 】

次に、本実施の形態の TFE 液晶表示装置の駆動動作を説明する。

本実施の形態の TFE 液晶表示装置の信号線 d には液晶容量に書き込むべき電位に応じた信号が印加され、走査線 g には信号線 d の信号に同期して上部（前段側）から順次走査信号が印加される。走査線 g の走査期間は TFE のゲート／ドレイン間にチャンネルが形成されて導通し、走査期間以外にはドレイン電極 D とソ

ース電極Gとは絶縁状態となる。ここでTFTの導通時に信号線dの同期した書込信号が液晶容量 C_{lc} 及びゲートストレージ G_{st} に充電され、走査期間以外のTFTの非導通時には液晶容量 P_i の充電電圧は保持され、対向電極と画素電極 P_i との間に生じる電界によって、液晶の光学的特性が制御されバックライトに対する透過度に変化して表示が行われる。

【0047】

なお、前記ゲートストレージ G_{st} は、走査期間以外の期間にドレイン電極Dとソース電極Sの間のリーク電流があることから、走査期間から次の走査期間までの間に画素電極と対向電極との間の電位差が減少しコントラストの低下を招かないように前記電位差の減少を防ぐものである。

【0048】

図4は、本実施の形態のアクティブマトリクス基板の作製工程でのパターン変換変動及び重ねずれによるバラツキ及び寄生容量への影響の一例を示す概念図である。図4(a)、(c)はリング状パターンの開口部を含む走査線g方向の断面を示す図であり、図4(b)、(d)はリング状パターンの開口部を含む信号線d方向の断面を示す図である。フィールドスルー電圧 V_{fd} に影響する容量である、ゲート/ソース間寄生容量 C_{GS} 、液晶容量 C_{LC} 、ストレージ容量 C_{SC} 、ゲート/画素電極間寄生容量 C_{gpi} 及びドレイン/画素電極間寄生容量 C_{dpi} は、画素電極の周縁部全周にドレイン層の配線と同層で画素電極と同電位のリング状パターンを形成することから全てドレイン層からの組合せとなる。

【0049】

一般的に、透明導電膜の画素電極のパターニング精度は、信号線（ドレイン層配線）、走査線（ゲート層配線）、同配線層の各電極等の導体膜に比べて悪い。特に、透明導電膜として通常使用されるITO（酸化インジウム・スズ）は、酸化物のためエッチングされ難い材料であるのみならず、及びITOを構成する酸素、インジウム、スズの組成比によってエッチング速度が変わり、通常酸素プラズマ雰囲気中でITOをターゲット材料としてスパッタリング法で成膜されるため、前記組成比自体が基準面内ではばらつく可能性が高く、その結果、エッチング速度が基板内ではばらつきやすい。

【 0 0 5 0 】

従って、画素電極の大きさはこのようなパターンニング精度の不良によるパターン変換変動により、左右のドレイン層配線と画素電極との間に生じる寄生容量はもちろんのこと、上部（前段）のソース層配線と間、及びストレージパターンと画素電極との間に生じる寄生容量の大きさはばらつくから、この寄生容量の大きさは面内でばらつくことになる。

【 0 0 5 1 】

しかし本実施の形態によれば、図 4（a）からも分かるように画素電極は、これと同電位でパターンニング精度の高いドレイン層（ソース層）のリング状パターンで全周が囲まれているから、画素電極とドレイン層配線、画素電極とソース層配線、画素電極とストレージパターン等の間の前述の寄生容量の大きさがばらついたとしても、パターンニング精度の高いドレイン配線と前記リング状パターンとの間の寄生容量が支配的となり、総合的な寄生容量の大きさは殆どばらつかない。

【 0 0 5 2 】

また、図 4（b）に示すように、ドレイン層で画素電極と同電位のリング状パターン R を設けることにより、信号線 d 等のドレイン配線とリング状パターンとの距離は重ねずれによらず実質上常に一定に保たれるから、この間の寄生容量のバラツキも確実に防止され、この点からも総合的な寄生容量の大きさはばらつかない。

【 0 0 5 3 】

このように本発明のフィールドスルー電圧 V_{fd} に影響する容量の比率変動の要因が、主にパターン形成時の各電極面積、配線幅の増大、減少等のパターンニング精度の高いソース層及びドレイン層のパターン変換変動のみにすることが可能となるから、製作工程のバラツキによるフィールドスルー電圧 V_{fd} の変動を効果的に抑制することができ、分割露光で作製した TFT 液晶パネルの表示ムラの発生を防止することができる。

【 0 0 5 4 】

（他の実施の形態）

以上の実施の形態は、縦置き T F T、T F T 近傍のスルーホール P の接続及びゲートストレージ構成とした例を説明したが、これらは各種変更することができる。

【 0 0 5 5 】

図 5 は、T F T を走査線の上に横置きとした実施の形態を示す図である。T F T は走査線 g の一部をゲート電極 G とするように構成している。信号線 g から L 字状に形成したドレイン電極 D とリング状パターン R 側のソース電極 S とを前記ゲート電極の上部に形成した半導体層 P S 上に配置した構成を備え、リング状パターン R と画素電極 P I とはスルーホール P により接続している。

【 0 0 5 6 】

図 6 は、図 5 に示す実施の形態においてスルーホール P をゲートストレージの拡大部に形成した例を示す図である。

【 0 0 5 7 】

図 5、図 6 の実施の形態では、図 1 に示す実施の形態と比較すると、T F T 及びスルーホール P の配置の変更により画素の開口率を増大することが可能である。

【 0 0 5 8 】

図 7 は、T F T を横置きとし、リング状パターンと画素電極との接続は一箇所ないし複数箇所で接続した構成の実施の形態を示す図である。本実施の形態では、リング状パターン R と画素電極 P I を同図に示す範囲 p' の任意の場所の一箇所又は複数の箇所にスルーホールを設けて接続する構成としている。

【 0 0 5 9 】

図 8 (E) は、図 7 に示す実施の形態の電極構造の E - E' の断面を示す図である。ドレイン層における信号線 g 及びリング状パターン R と、リング状パターン R の上部に周縁部が接続された画素電極 P I の配置関係が示されている。

【 0 0 6 0 】

図 8 (F) は、図 7 に示す実施の形態の電極構造の F - F' の断面を示す図である。ゲートストレージ G s t と、ドレイン層におけるリング状パターン R と、リング状パターン R の上部に周縁部が接続された画素電極 P I の配置関係が示さ

れている。

【 0 0 6 1 】

本実施の形態では、リング状パターンと画素電極との連続的な接続により、特に、リング状パターン R と画素電極 P I、信号線 g 及び走査線 g とリング状パターン R 又は画素電極 P I との相互の重ねずれがあっても寄生容量の変化はより完全に防止される。

【 0 0 6 2 】

図 9 は、走査線 g とは独立した共通線 c にストレージ容量を形成する拡大部 C を有する実施の形態を示す図である。図 1 に示す実施の形態と同様に縦置き T F T と、その近傍のスルーホール P とを備える。

【 0 0 6 3 】

図 1 0 は、走査線 g とは独立した共通線 c にストレージ容量を形成する拡大部 C を有する他の実施の形態を示す図である。横置き T F T と、その近傍のスルーホール P とを備える。開口率の高いアクティブマトリクス基板を構成できる。

【 0 0 6 4 】

図 1 1 は、T F T を縦置きとし、コモンストレージを下側に設け、リング状パターンと画素電極との接続を下部に構成した実施の形態を示す図である。

【 0 0 6 5 】

図 1 2 は、T F T を縦置きとし、コモンストレージを下側に設け、変形のリング状パターンとした実施の形態を示す図である。本実施の形態では、前記リング状の導体の開口部を走査線 g の方向に横切る導体が形成された 8 の字の形状とした変形のリング状パターン 8 とし、コモンストレージ C s t をその中間部に前記導体に沿って形成している。

【 0 0 6 6 】

以上、本発明を図示するいくつかの実施の形態に基づいて説明したが、何れの実施の形態においても、フィールドスルー電圧 V_{fd} に影響する容量の比率変動の要因が、主に、パターンニング精度の高いソース層及びドレイン層等のパターン変換変動のみにすることが可能となるから、製作工程のバラツキによるフィールドスルー電圧 V_{fd} の変動を効果的に抑制することができ、分割露光で作製し

た T F T 液晶パネルの表示ムラの発生を防止することができる。

【 0 0 6 7 】

また、本発明は前述の実施の形態のみに限定されるものではなく、この他にも種々の態様で実施可能である。

即ち、T F T が縦置きか横置きか、リング状パターンと画素電極との接続を何れの箇所において部分的又は連続的に設けるか、リング状パターンに横断する導体パターンを設けるかいなか、ストレージパターンをゲートストレージとするかコモンストレージとするか等は、その任意の組合せ構成とすることが可能である。また、画素電極の形状、走査電極の形状は、設計上適宜変更しうるものである。

【 0 0 6 8 】

【発明の効果】

本発明によれば、パターンニング精度の高い導体のリング状パターンを画素電極と同電位として画素電極の周縁全周を囲むように構成しているから、画素電極とドレイン層配線、画素電極とソース層配線、画素電極とストレージパターン、画素電極と各種電極等の間の寄生容量自体の大きさがばらついたとしても、前記ドレイン配線と前記リング状パターンとの間の寄生容量により、総合的な寄生容量の大きさを面内で一定とすることができる。

【 0 0 6 9 】

特に、ドレイン層で画素電極と同電位のリング状パターン R を設けることにより、信号線等のドレイン層配線とリング状パターンとの距離は重ねずれによらず実質上常に一定に保たれるから、この間の寄生容量のバラツキも確実に防止することができる。

【 0 0 7 0 】

このため、製作工程のバラツキによるフィールドスルー電圧 V_{fd} の変動を効果的に抑制することができ、分割露光で作製した T F T 液晶パネルの表示ムラの発生を防止することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施の形態の T F T 液晶表示装置のアクティブマトリクス

基板の一面素分の電極配置の構成を示す図である。

【図 2】 図 1 の配線構造における A - A'、B - B' 断面を示す図である。

【図 3】 図 1 の配線構造における C - C'、D - D' 断面を示す図である。

【図 4】 本実施の形態のアクティブマトリクス基板の作製工程でのパターン変換変動及び重ねずれによるバラツキ及び寄生容量への影響の一例を示す図である。

【図 5】 TFT を走査線上に横置きとした第 2 の実施の形態を示す図である。

【図 6】 スルーホール P をゲートストレージの拡大部に形成した第 3 の実施の形態を示す図である。

【図 7】 TFT を横置きとし、リング状パターンと画素電極の周囲とを接続した構成の第 4 の実施の形態を示す図である。

【図 8】 図 7 の配線構造における E - E'、F - F' 断面を示す図である。

【図 9】 共通線にストレージ容量を形成する第 4 の実施の形態を示す図である。

【図 1 0】 共通線にストレージ容量を形成する第 5 の実施の形態を示す図である。

【図 1 1】 TFT を縦置きとし、コモンストレージを下側に設けて構成した第 6 の実施の形態を示す図である。

【図 1 2】 TFT を縦置きとし、コモンストレージを下側に設けた第 7 に実施の形態を示す図である。

【図 1 3】 従来のアクティブマトリクス液晶表示装置の一面素分の電極配置の構成を示す図である。

【図 1 4】 従来のアクティブマトリクス型液晶表示装置の一面素分の電極配置の構成の他の例を示す図である。

【図 1 5】 一般的な TFT 液晶表示装置の寄生容量の発生及び変化を示す

概念図である。

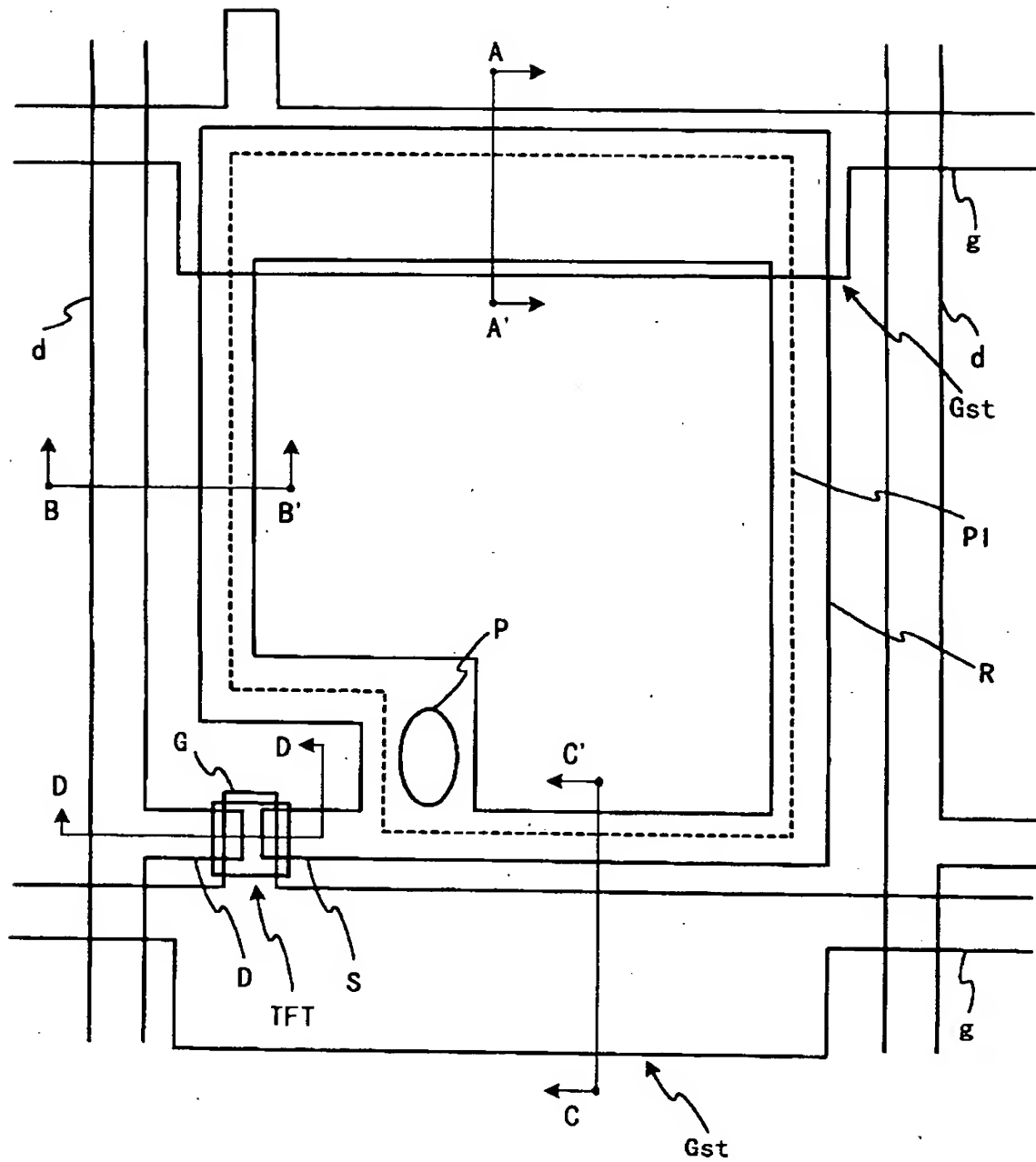
【図 1 6】 従来の液晶ディスプレイ駆動用アクティブマトリクス基板の一例を示す図である。

【符号の説明】

- D ドレイン電極
- S ソース電極
- G ゲート電極
- d 信号線
- g 走査線
- c 共通線
- P I 画素電極
- R リング状パターン
- C 拡大部
- L 遮光電極

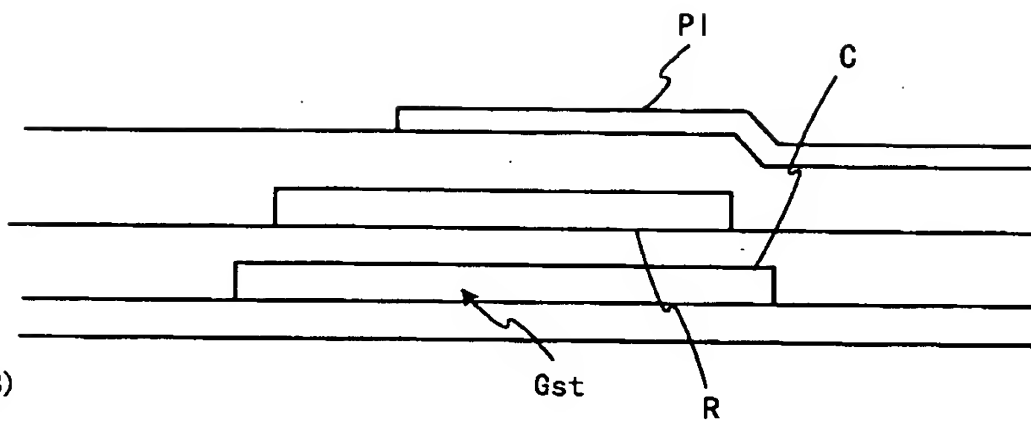
【書類名】 図面

【図 1】

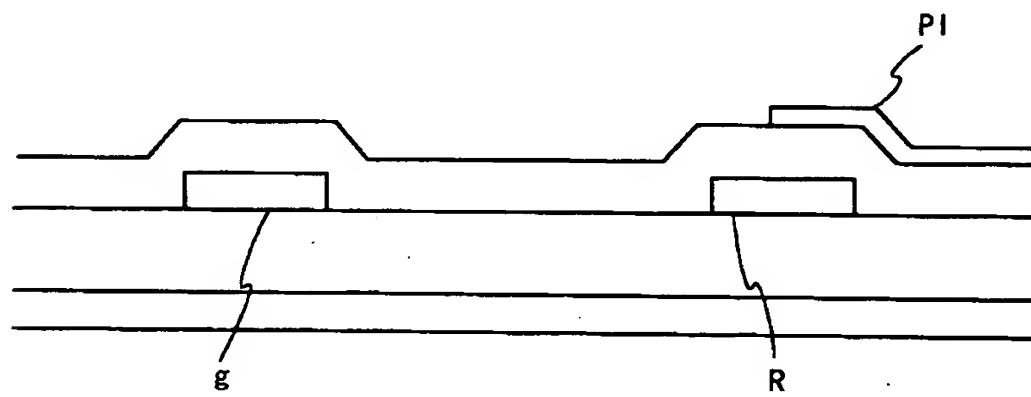


【図 2】

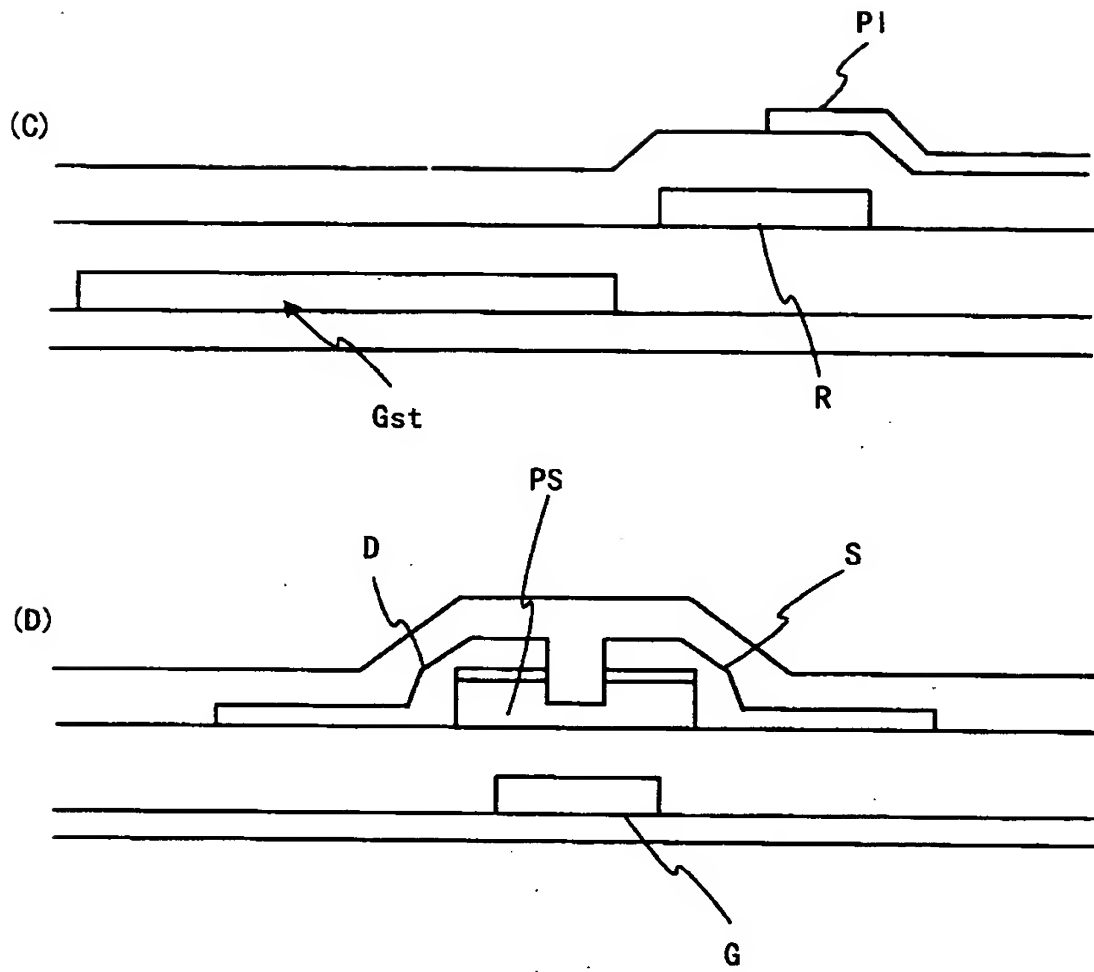
(A)



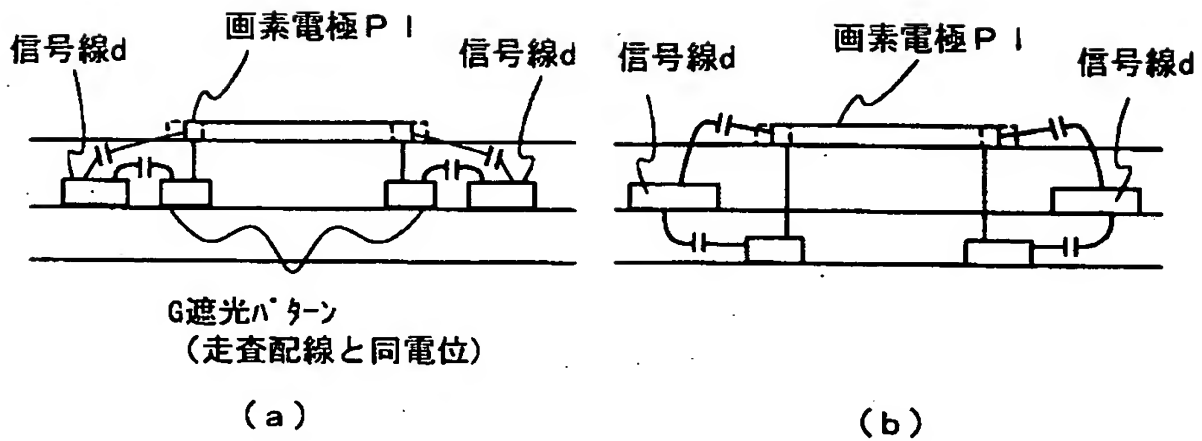
(B)



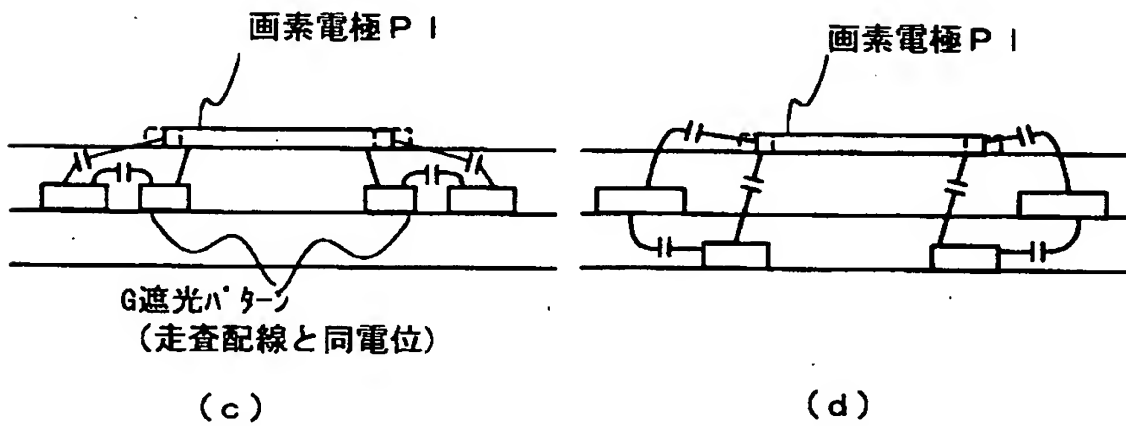
【図 3】



【図4】

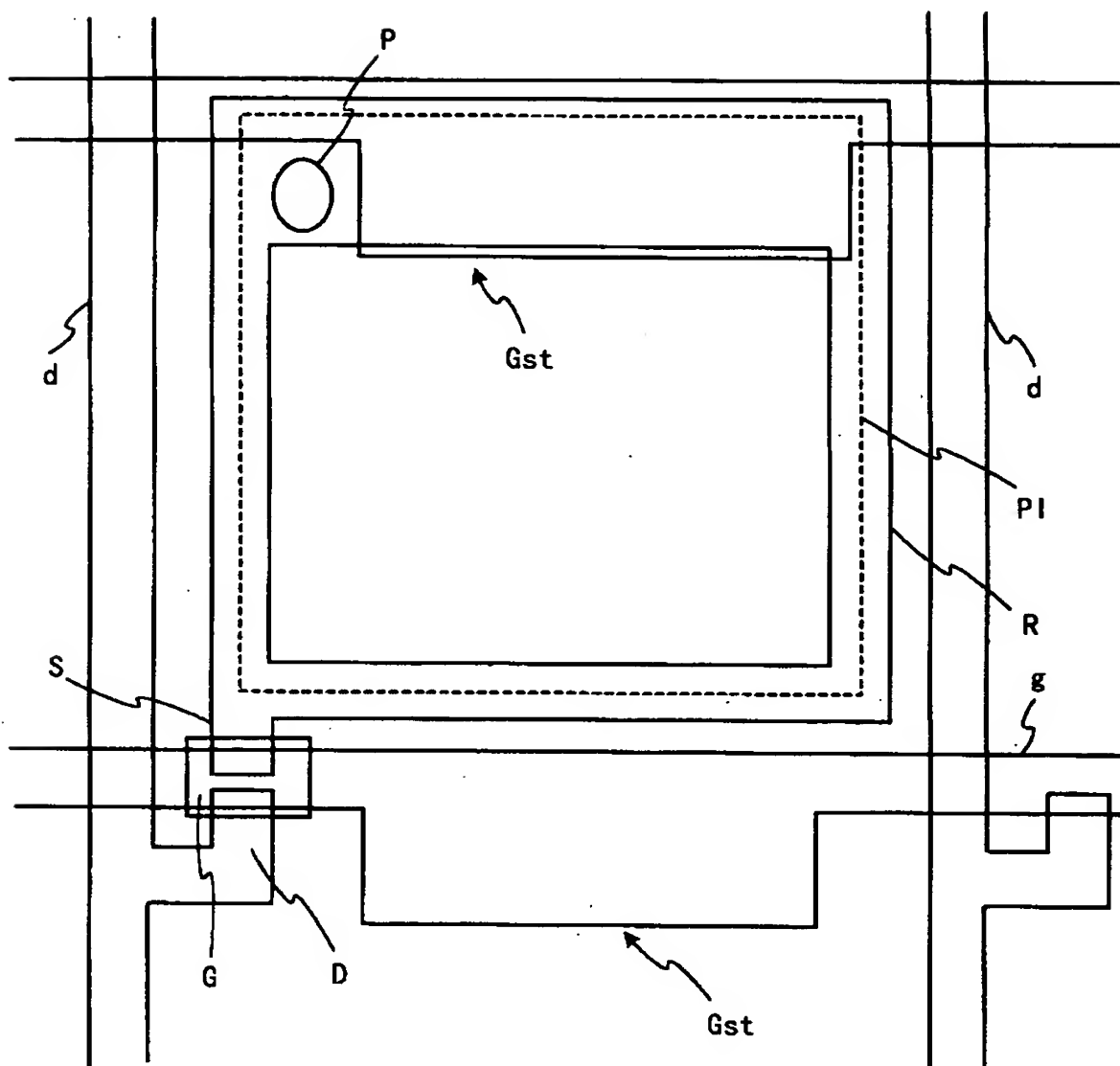


重ねずれ無し

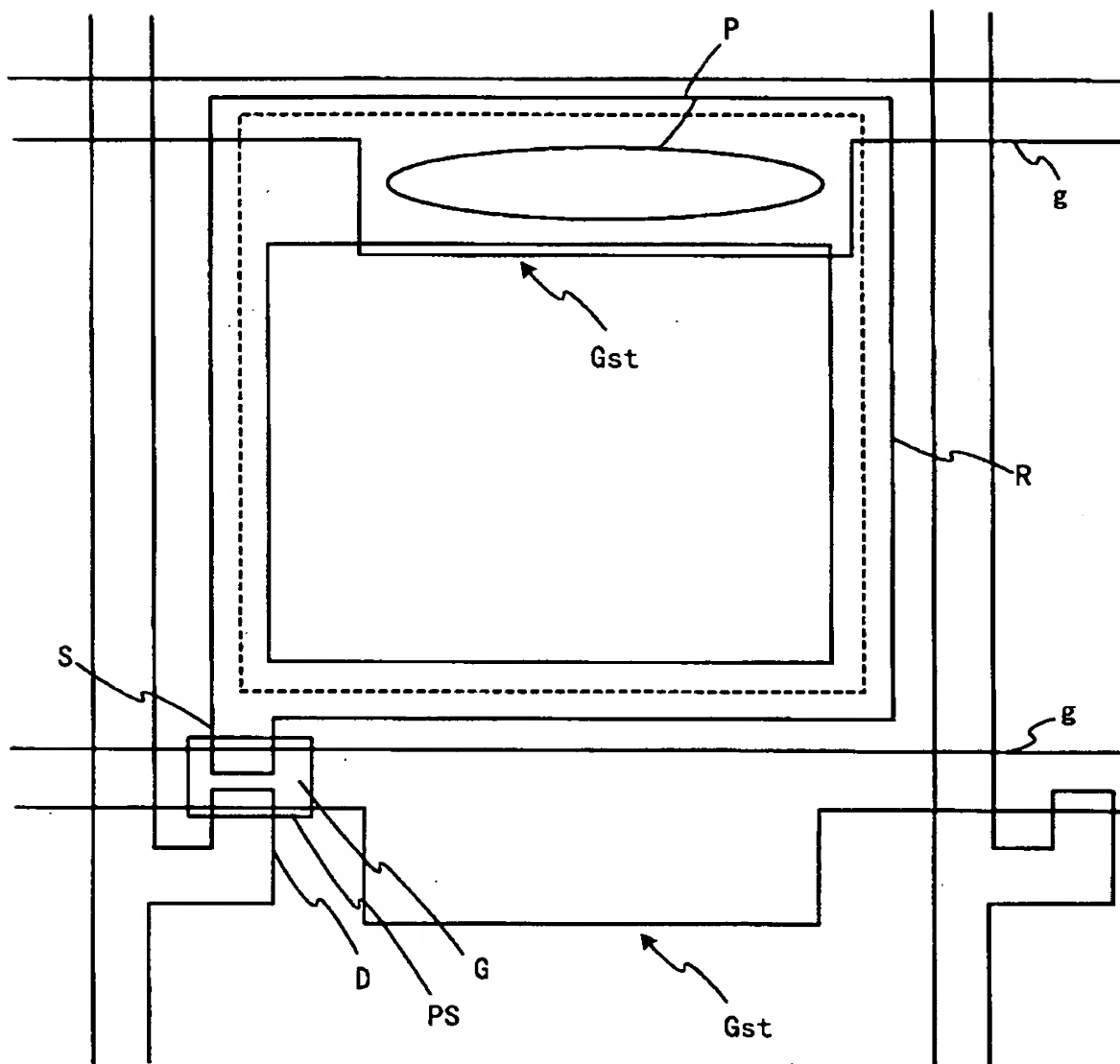


重ねずれ発生

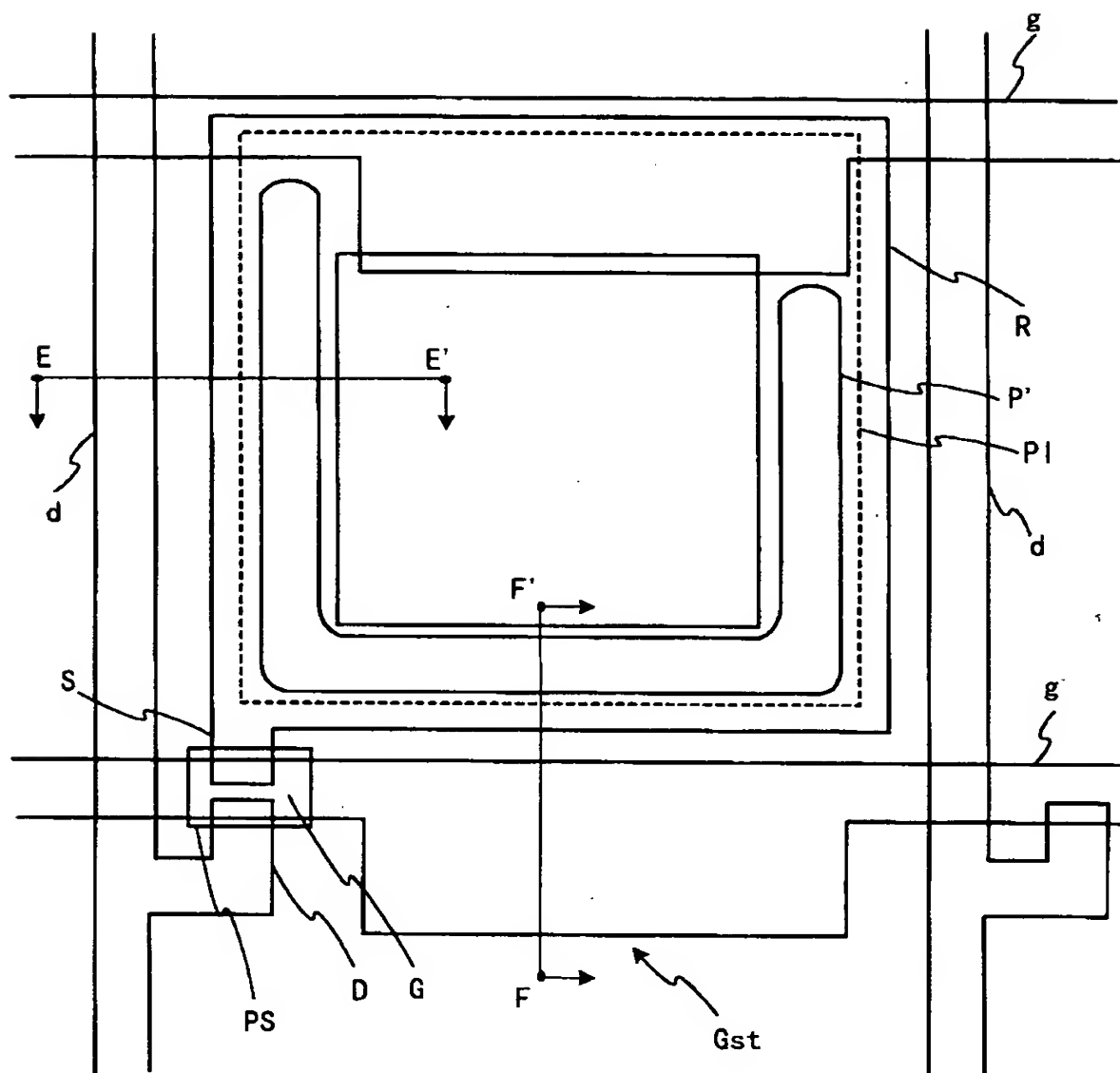
【図 5】



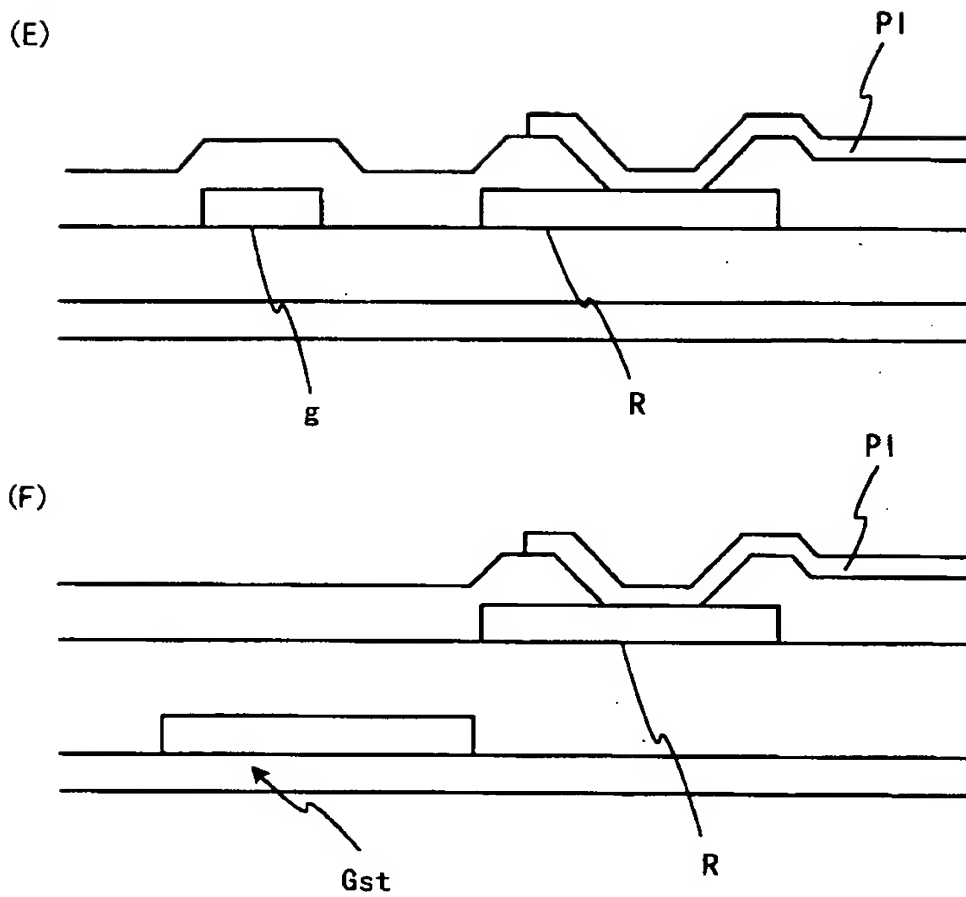
【図6】



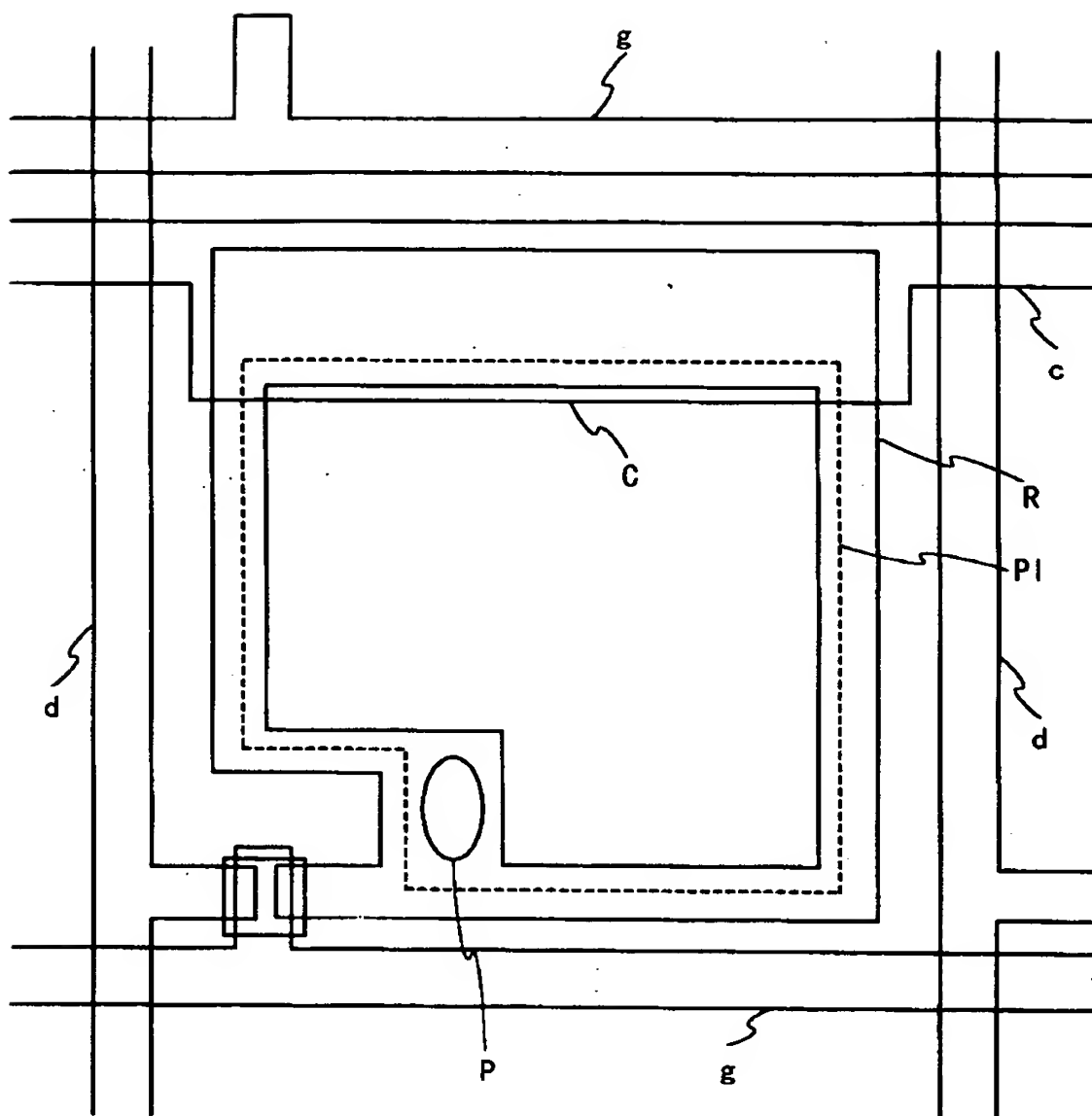
【图 7】



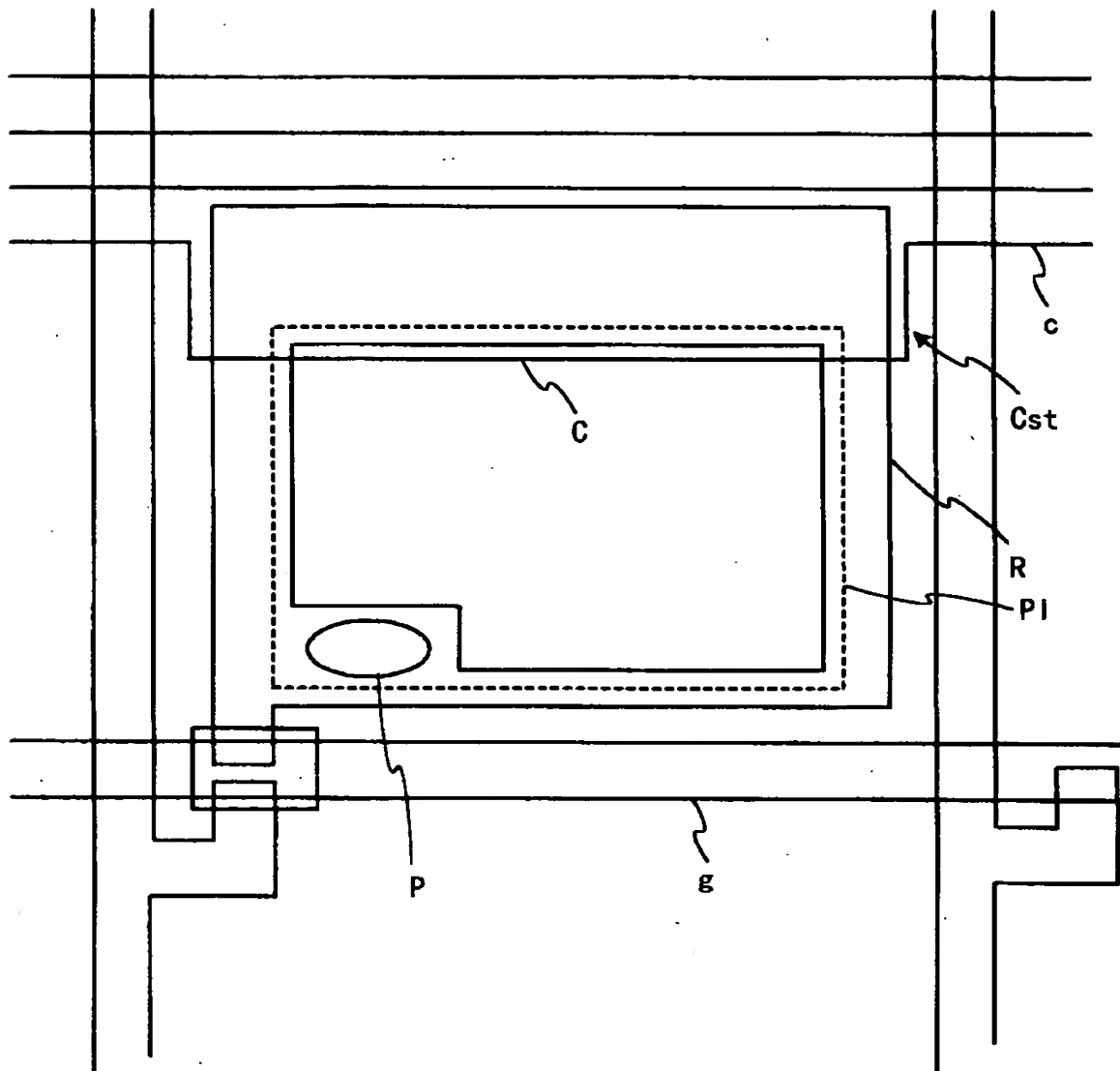
【図 8】



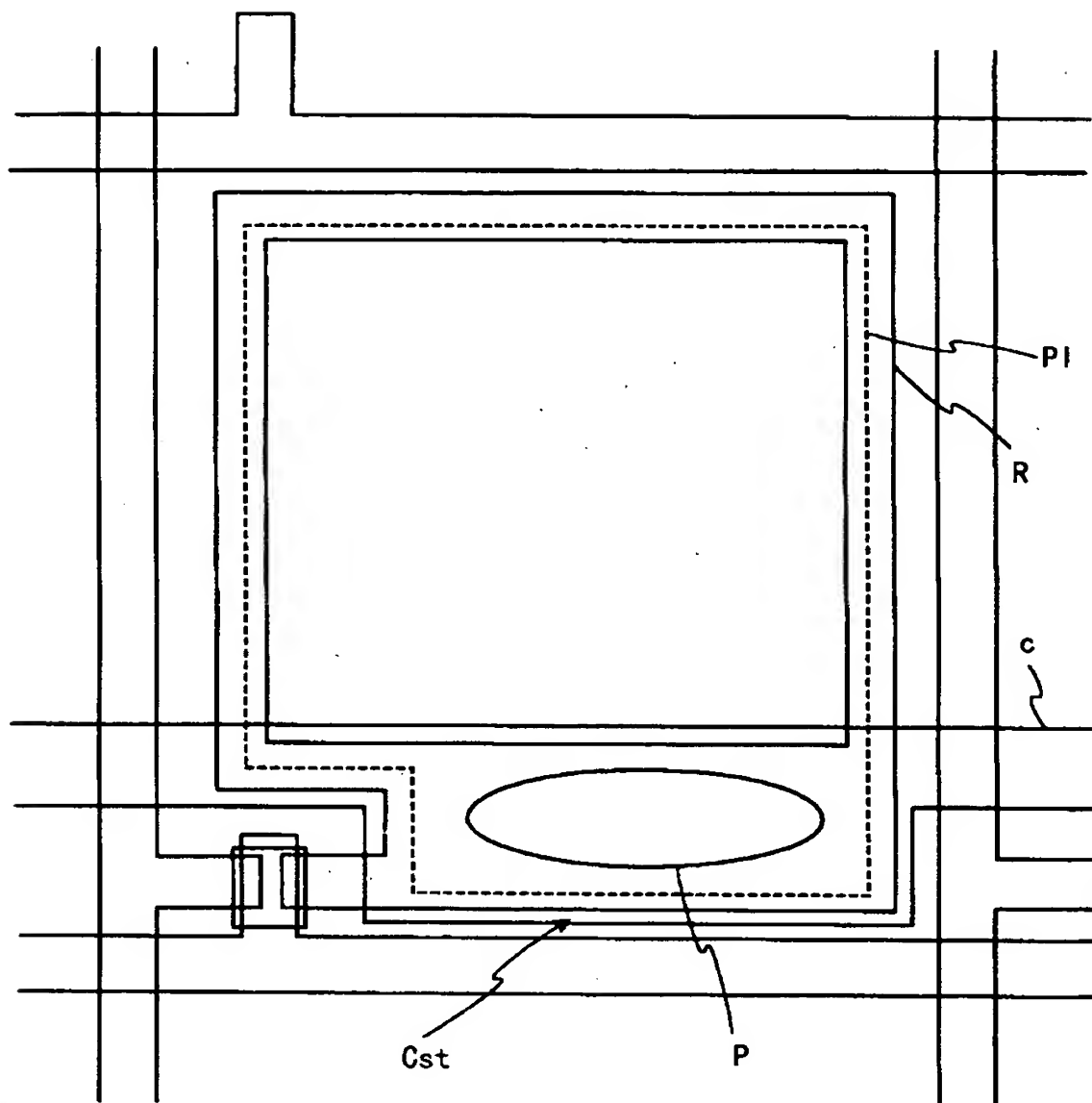
【図9】



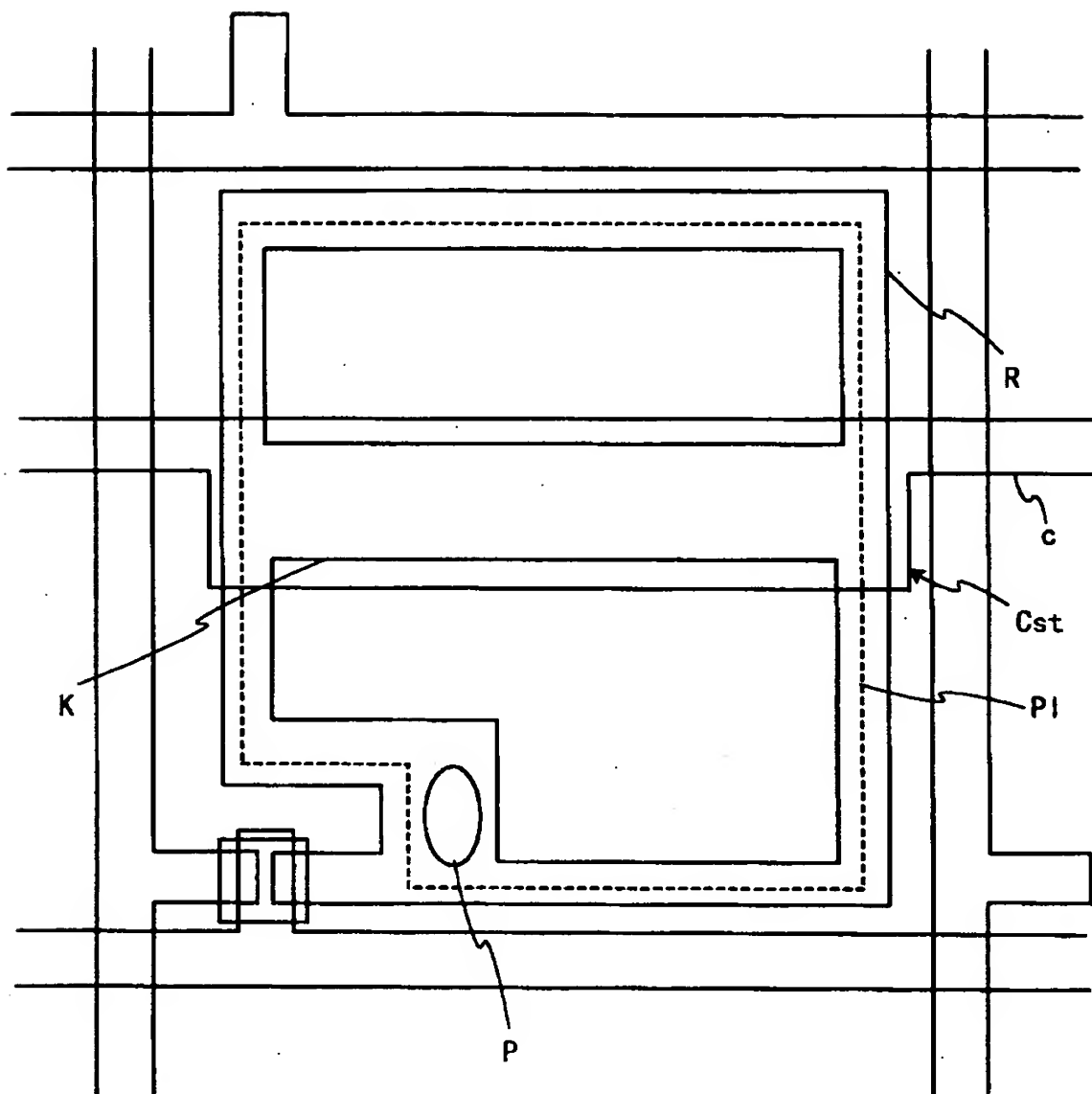
【図10】



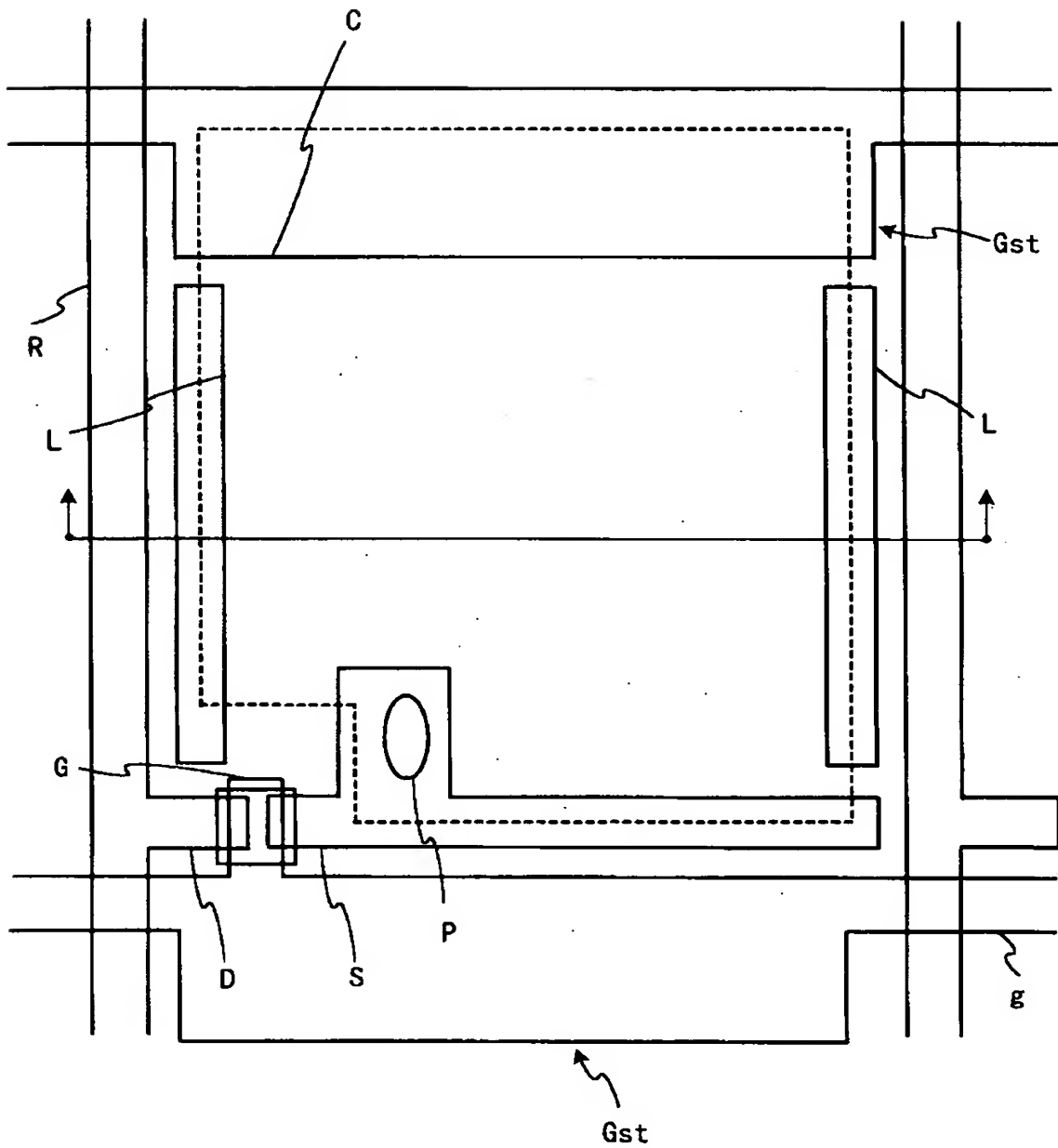
【図 11】



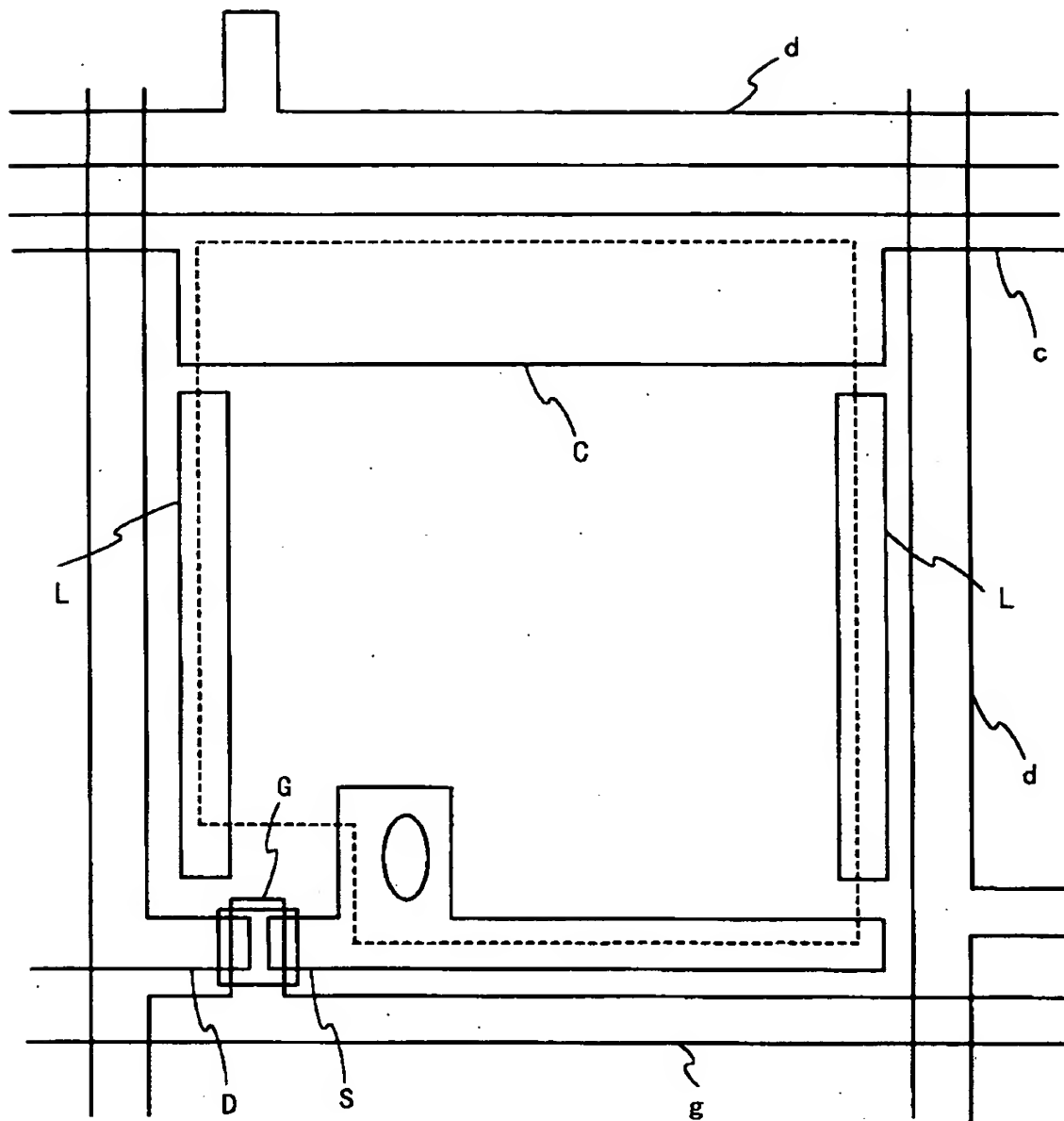
【図 12】



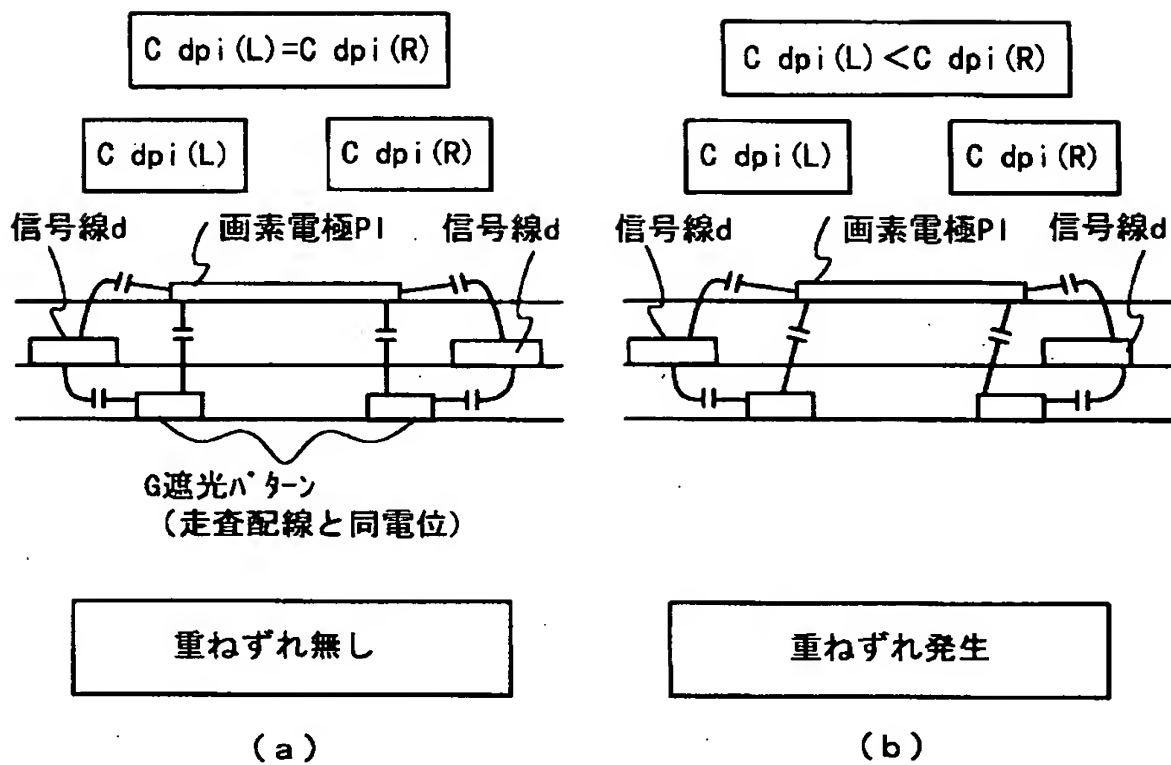
【図 13】



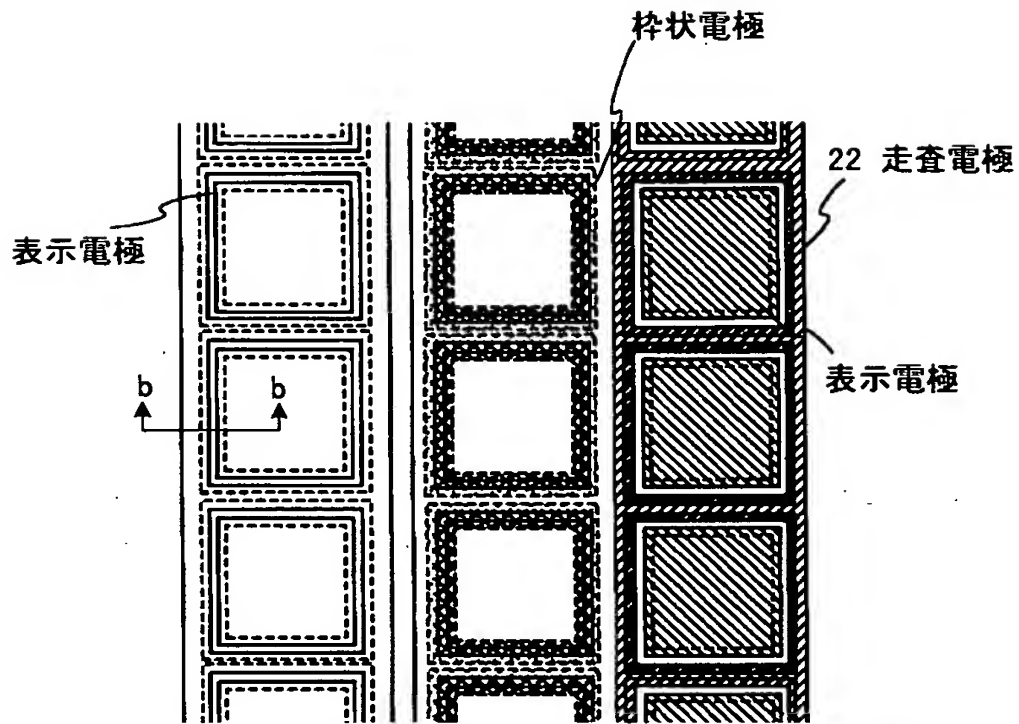
【図14】



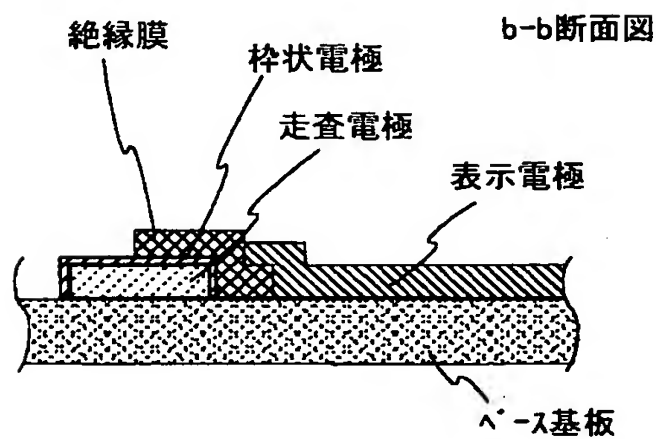
【図 1 5】



【図 1.6】



(a)



(b)

【書類名】 要約書

【要約】

【解決課題】 製造工程のバラツキによるフィールドスルー電圧の変動を抑制し、分割露光で作製したTFT液晶パネルの表示ムラの発生を防止する。

【解決手段】 薄膜トランジスタを用いたTFTアクティブマトリクス基板の画素電極P I の周縁の全周に沿って前記画素電極と同電位のリング状の金属導体R をドレイン層に形成することにより、ドレイン層の信号線d及び電極D、ゲート層の走査線g 及び電極G、共通線や拡大部等のパターン変換変動及び重ねずれによる寄生容量の影響を抑制する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社